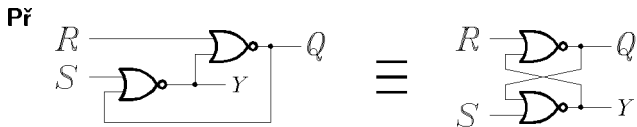


### Sekvenční obvody



R	S	Q	Y
1	1	0	0
1	0	0	1
0	1	1	0
0	0	?	?

$Q = \varphi(Y)$  a  $Y = \psi(Q)$

pozorování:

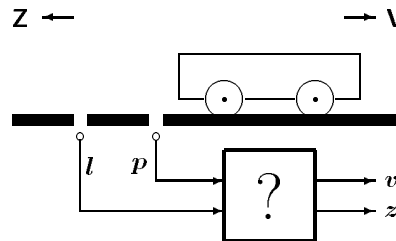
R	S	Q	Y
1	0	0	1
0	0	0	1
0	1	1	0
0	0	1	0

závěr: výstupy závisí na „historii“

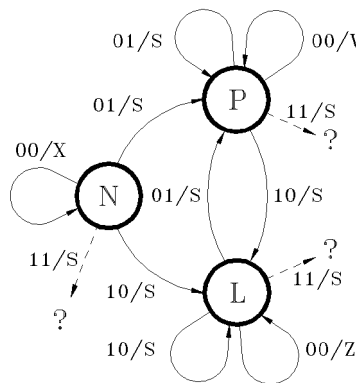
sekvenční obvody (dosud: kombinační obvody)

zpětná vazba !?!

### Návrh sekvenčního obvodu (příklad)



graf přechodů



výstupy:

v	z		
0	0	X	???
0	1	Z	západ
1	0	V	východ
1	1	S	střed

vnitřní stavy:

N	...	Nevím
L	...	vLevo
P	...	vPravo

### Návrh sekvenčního obvodu (příklad) 2

graf přechodů → tab. přechodů (a výstupů):

(l, p)	00	10	11	01	00	10	11	01
N	(N)	L	?	P	X	S	S	S
L	(L)	(L)	?	P	Z	S	S	S
P	(P)	L	?	(P)	V	S	S	S

kroužkem jsou označeny tzv. stabilní stavy

stavy: • vnitřní (krátce jenom stavy): N, L, P

• vstupní: 00, 01, 11, 10

• výstupní: X, Z, V, S

kódování stavů:

stav (vnitřní, ...) ~ hodnoty logických proměnných  
logické proměnné: vnitřní, vstupní, výstupní

• vstupní stavy: byly kódovány již při zadání

• výstupní stavy: viz předchozí folii

• vnitřní stavy:

	a	b
N	0	0
L	0	1
P	1	1

a a b jsou  
vnitřní  
proměnné

### Návrh sekvenčního obvodu (příklad) 3

kódované tabulky přechodů a výstupů

	$l^p$		
	0	1	1
N	0	0	1
L	0	0	1
P	1	0	1
?			

	$l^p$		
	0	1	1
N	0	1	1
L	1	1	1
P	0	1	1
?			

	$l^p$		
	0	1	1
N	0	1	1
L	1	1	1
P	1	1	1
?			

	$l^p$		
	0	1	1
N	0	1	1
L	0	1	1
P	1	1	1
?			

$a' = p + a \cdot \bar{l}$

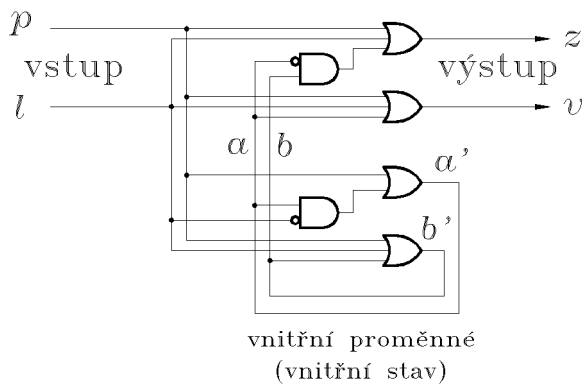
$b' = p + l + b$

$z = p + l + \bar{a} \cdot b$

$v = p + l + a$

**samostatný úkol:** Provedte zpětné doplnění tabulky přechodů a grafu přechodů (tzn. nahradte otazníky výslednými hodnotami).

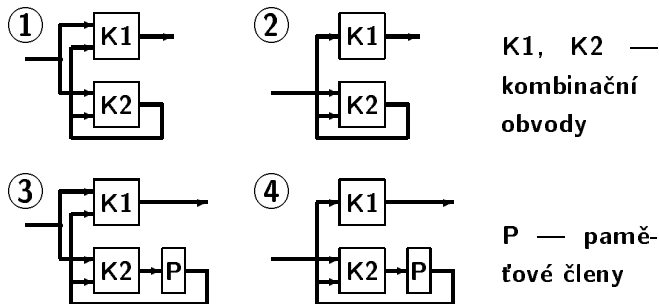
**schéma zapojení**



vnitřní proměnné (vnitřní stav)

**samostatný úkol:** Pokuste se doplnit „nulování“ (tzn. nastavení do stavu N).

**struktura sekvenčních obvodů**

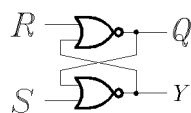


K1, K2 — kombinační obvody

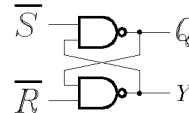
P — paměťové členy

**paměťové členy — klopné obvody (asynchronní)** [flip-flop]

typ R-S [Reset-Set]



typ  $\bar{R}\bar{S}$



R	S	Q'	Y'
0	0	Q	$\bar{Q}'$
0	1	1	$\bar{Q}'$
1	0	0	$\bar{Q}'$
1	1	0	0

„pamatuje“  
zápis 1  
zápis 0  
???

$\bar{R}$	$\bar{S}$	Q'	Y'
1	1	Q	$\bar{Q}'$
1	0	1	$\bar{Q}'$
0	1	0	$\bar{Q}'$
0	0	1	1

R a S, popř.  $\bar{R}$  a  $\bar{S}$  — tzv. **budící funkce**

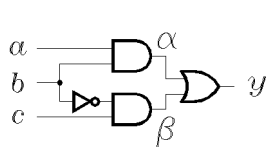
**některé problémy:**

**fundamentální režim:**

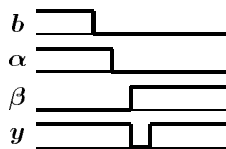
- změna jediné vstupní proměnné
- další změna: až po ustálení výstupů

**hazardy (příklady):**

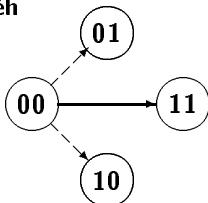
**1** tzv. statický hazard v 1



$$a = 1 \quad a \quad c = 1 \Rightarrow \Rightarrow y = a \cdot b + \bar{b} \cdot c = 1$$



**2** tzv. souběh



**„řešení“:** tzv. **synchronní sekvenční obvody** (dosud: tzv. **asynchronní**)

**synchronní sekvenční obvody**

do zpětných vazeb se zařadí tzv.

**synchronní paměťové členy (klopné obvody)**

tj. obvody, jejichž vstupy jsou vzorkovány tzv.

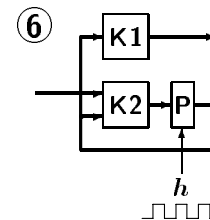
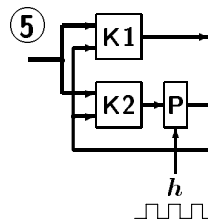
**hodinovými pulsy**

[clock]

(krátce „hodinami“)

$\Rightarrow$  přechodové děje jsou ignorovány,

$\Rightarrow$  „diskrétní čas“ — takty.

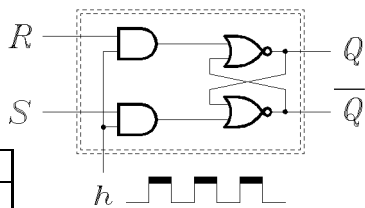


**synchronní paměťové členy (klopné obvody):**

- hladinové (řízené hladinou) [latch]
- hranové (řízené hranou) [flip-flop]

## hladinové klopné obvody [latch]

### 1. typ R-S [Reset - Set]

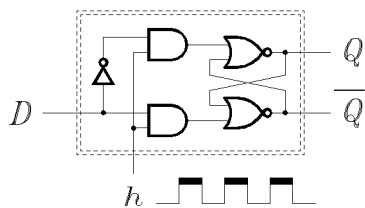


h	
0	„pamatuje se“
1	vst. $\rightsquigarrow$ výst.

$R \cdot S = 1 \ \& \ h: 1 \rightarrow 0 \implies Q = ?$

proto:  $R \cdot S \neq 1$  — nutno zajistit při návrhu

### 2. typ D [Data]

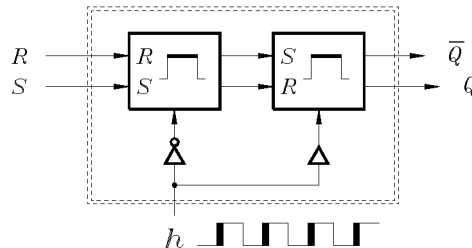


**problém:** šířka hodin. pulsů  $\rightarrow$  hranové klop. obv.

**užití hladin. klop. obvodů:** mimo zpětné vazby (registry — někdy)

## hranové klopné obvody

### tzv. obvody „master – slave“ (typ R-S)



změna výstupů ( $Q$ , popř.  $\bar{Q}$ ): jen při náběžné hraně hodinových pulsů

společné hodiny  $\implies$

- hodiny  $\nearrow$  — změna stavu všech klop. obv.
- potom: přechodový děj v kombinačních obv.
- hodiny  $\nearrow$  — : atd.

Pozn.:

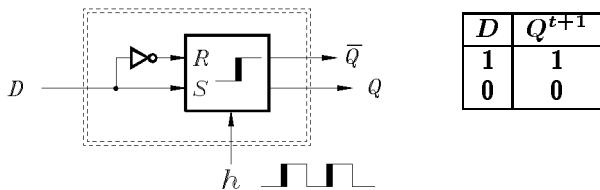
1. modifikace uvedeného zapojení: závěrná hrana místo náběžné hrany ( $\searrow$  místo  $\nearrow$ )
2. existují i jiné možnosti realizace hran. klop. obvodů
3. i zde nutno zajistit  $R \cdot S \neq 1 \rightarrow$  jiné typy

## typy hranových klopných obvodů

### 1. R-S [Reset - Set] (viz předchozí folie)

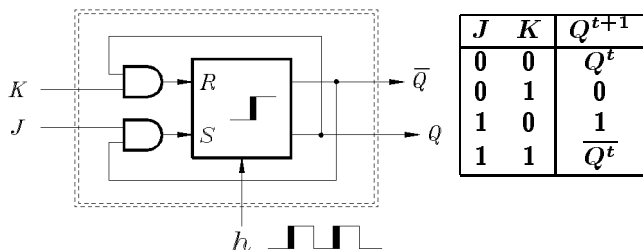
R	S	$Q^{t+1}$
0	0	$Q^t$
0	1	1
1	0	0
1	1	?

### 2. D [Data]



D	$Q^{t+1}$
1	1
0	0

### 3. J-K [Jordan - Eccles]

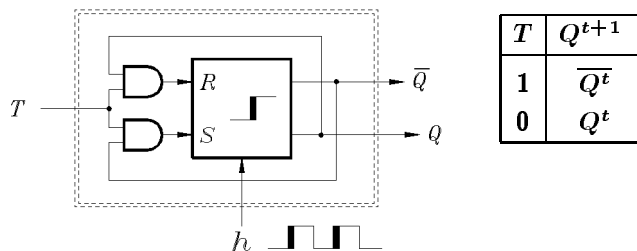


J	K	$Q^{t+1}$
0	0	$Q^t$
0	1	0
1	0	1
1	1	$\bar{Q}^t$

## typy hranových klopných obvodů

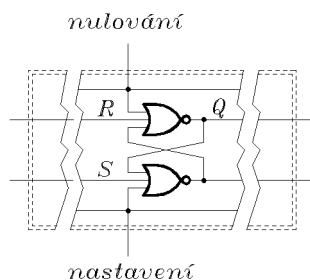
2

### 4. T [Trigger]



T	$Q^{t+1}$
1	$\bar{Q}^t$
0	$Q^t$

## asynchronní nastavení a nulování synchronních klopných obvodů



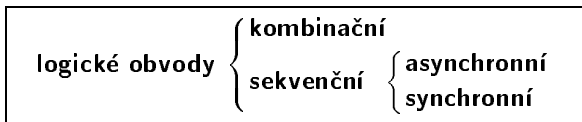
## návrh synchronních sekvenčních obvodů

Postupuje se analogicky jako při návrhu asynchronních sekvenčních obvodů (viz příklad), ale:

- **fundamentální režim se nevyžaduje**
- **hazardy vůbec nevodí**
- pojem **stabilní stav ztrácí smysl**
- **klopné obvody**
  - o typu D: klopné obvody se „prostě“ vloží do zpětných vazeb (schéma ① nebo ②)
  - o ostatní: výstupy K2 (viz ⑤ a ⑥) — budící funkce (např. J a K) klopných obvodů

Pozn.: i u asynchronních sekv. obvodů ③ a ④: výstupy K2 — budící funkce (R a S)

Rekapitulace:



Konečný automat (KA) : matem. model SLO

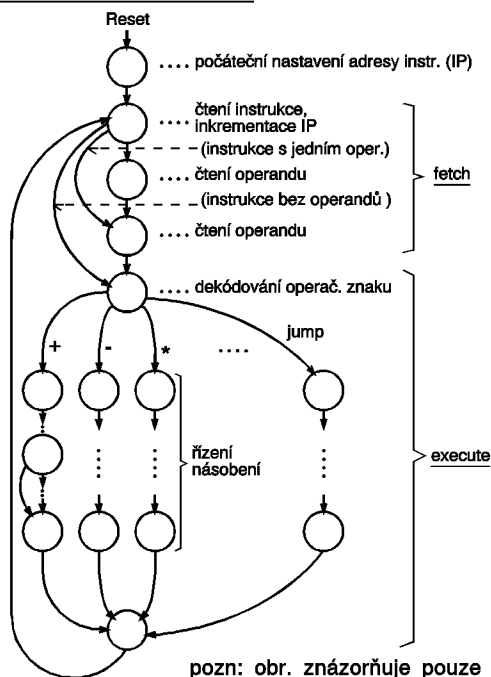
- šestice : ( X, Y, Q, Q<sub>0</sub>, δ, λ )

- X .... množina možných kombinací hodnot vstup. proměnných KA; př: 3 vstup. prom. ⇒ X obs. 2<sup>3</sup> = 8 kombinací
- Y .... množina možných kombinací hodnot výstupních proměnných KA
- Q .... množina možných kombinací hodnot vnitřních proměnných KA ( množina stavů )
- Q<sub>0</sub> .... počáteční stav ( kombinace hodnot vnitřních proměnných KA v počáteč. stavu )
- δ .... stavově přechodová funkce :  
δ : X x Q → Q ....definuje příští vnitřní stav KA
- λ .... výstupní funkce :  
λ: a) X x Q → Y .... typ Mealy  
b) Q → Y .... typ Moore

Formy popisu KA : - graf přechodů  
- tabulky pro δ a λ

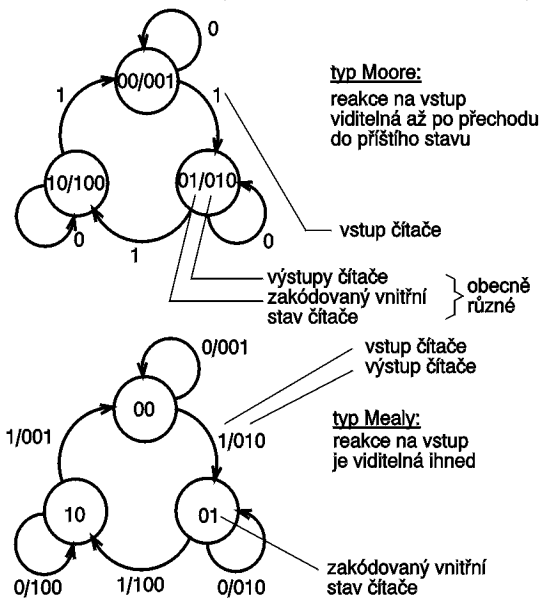
## Ukázky automatů

### 1) řadič číslicového počítače



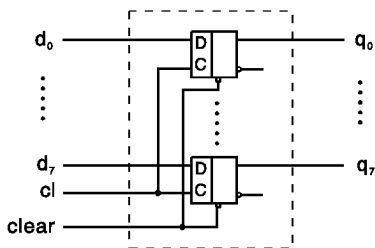
pozn: obr. znázorňuje pouze funkci řadiče, nejsou zde uvedeny jeho vstupy ani výstupy

### 2) Čítač mod 3: tři výstupy - 001,010,100 ⇒ tři výstupní proměnné tři vnitřní stavy - 00,01,10 ⇒ dva klopné obvody



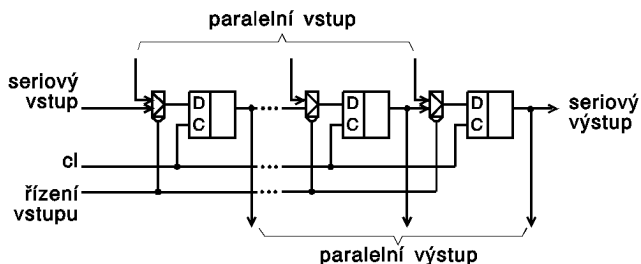
pozn.: Výstup obou čítačů je v kódu 1 ze 3.  
Obvykle však bývá kódován dvojkově (00,01,10).  
Pak lze v našem případě u typu Moore ztotožnit vnitřní a výstupní proměnné.

**a) paralelní registry (dočasná paměť)**



**b) seriové registry (převodníky)**

- serioparalelní: seriový vstup  
paralelní výstup
- paralelněseriové: paralelní vstup  
seriový výstup



**Součástková základna  
číslicové techniky**

- SSI (small scale integration)..... do  $10^2$  hradel/čip
- MSI (medium scale integration)....  $10^2$  až  $10^3$  hradel/čip
- LSI (large scale integration).....  $10^3$  až  $10^4$  hradel/čip
- VLSI (very LSI) ..... nad  $10^4$  hradel/čip

**SSI** - elementární logické členy:

- and, nand, or, nor, xor
- paměťové obvody D, JK, ...

**MSI** - často používané universální obvody:

- multiplexory: 2 x 1, 4 x 1, 2 x 2, 16 x 1, ...
- čítače: mod2, mod5, mod16
- registry

**LSI a VLSI :**

- **speciální:** mikroprocesory  
mikroprocesorové řezy  
paměti (ROM, PROM, EPROM, RAM, ...)   
různé podpůrné obvody
- **universální** (s programovatelnou strukturou)  
výhody vzhledem k SSI a MSI:
  - vyšší rychlost
  - vyšší spolehlivost
  - nižší náklady na montáž
  - nižší spotřeba elektr. energie

implementace:

- plně zákaznický návrh: veškeré propojení je plně realiz. již při výrobě => složitá spolupráce výrobní závod -uživatel
- polozákaznický návrh: výroba - připraví polotovary  
uživatel - propojení požadované struktury
  - PLA (programmable logic array)
  - PAL (programmable and logic)
  - FPGA (field programmable gate arrays)
  - FPLD (field programmable logic devices)

**• technologie spojovacích bodů:**

- tavné bipolární pojistky => jednorázové naprogramování
- elektronické spínače řízené:
  - a) transistory CMOS s izolovaným hradlem => vymazání světlem
  - b) bistabilními klopnými obvody => nutnost konfigurace po každém zapnutí elektrické energie programem z pevné paměti (EPROM).  
Př. XILINX