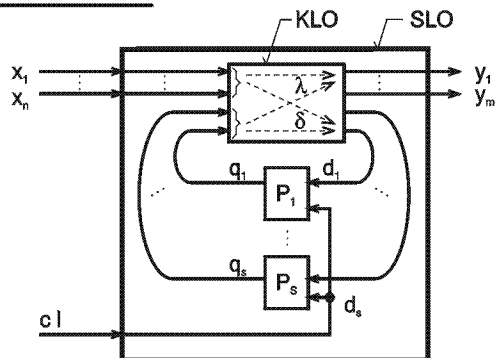


Sekvenční logické obvody

Hlavní rysy :

- hodnoty výstupních proměnných závisí nejen na současných ale i na minulých hodnotách vstupních proměnných (t.j. na sekvenci)
- informace o historii (o minulých hodnotách vstupů) je vyjádřena vnitřním stavem SLO, který je zaznamenán v paměťových členech.

Standardní struktura :



P_1, \dots, P_s : paměťové (klopné) obvody (PO)
 d_1, \dots, d_s : vstupy (buzení) PO
 q_1, \dots, q_s : výstupy PO (vnitřní proměnné)

UPS 6 • 1

8.3.2000 © J. Douša

Konečný automat (KA) : matem. model SLO

- šestice : $(X, Y, Q, Q_0, \delta, \lambda)$

X množina možných kombinací hodnot vstup. proměnných KA; př: 3 vstup. prom. $\Rightarrow X$ obs. $2^3 = 8$ kombinací

Y množina možných kombinací hodnot výstupních proměnných KA

Q množina možných kombinací hodnot vnitřních proměnných KA (množina stavů)

Q_0 počáteční stav (kombinace hodnot vnitřních proměnných KA v počáteč. stavu)

δ stavově přechodová funkce :
 $\delta : X \times Q \rightarrow Q$... definuje příští vnitřní stav KA

λ výstupní funkce :
 $\lambda : a) X \times Q \rightarrow Y$... typ Mealy
 $b) Q \rightarrow Y$... typ Moore

Formy popisu KA : - graf přechodů
 - tabulky pro δ a λ

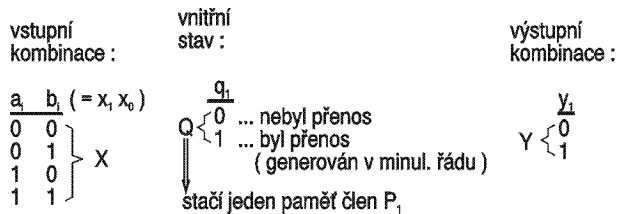
UPS 6 • 2

16.6.1995 © J. Douša

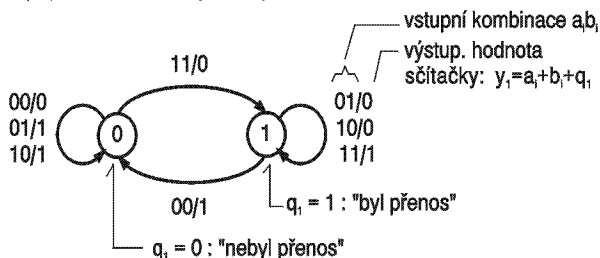
Př.: seriová sčítanka :

- obvodové řešení (KLO) pro jeden binární řád,
- postupná aplikace dvojic bitů a_i, b_i na vstupy sčítanky v rytmu hodinových pulsů

Automatový popis :



a) specifikace δ a λ grafem přechodů :



UPS 6 • 3

8.3.2000 © J. Douša

b) specifikace δ a λ formou tabulek :

	X				X			
q_i	00	01	10	11	00	01	10	11
0	0	0	0	1	0	1	1	0
1	0	1	1	1	1	0	0	1

δ ... přechodová f - ce
 λ ... výstupní f - ce

$\delta (= d_i) \dots$ LF tří vstup. proměnn., které definuje buzení d_i paměťového členu P_1 (v tomto jednoduchém případě definuje rovněž příští vnitřní stav)
 př.: $q_i=1, a_i=0, b_i=0 \Rightarrow d_i=0$
 $q_i=1, a_i=1, b_i=1 \Rightarrow d_i=1$

$\lambda (= s_i) \dots$ LF tří vst. proměnn., které definuje výstup s_i sčítanky
 př.: $q_i=1, a_i=0, b_i=0 \Rightarrow y_i=1$
 $q_i=0, a_i=0, b_i=0 \Rightarrow y_i=0$

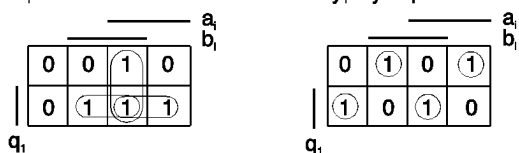
UPS 6 • 4

25.3.1996 © J. Douša

Ukázky automatů

- mapy pro kombinační část :

d₁: buzení PO



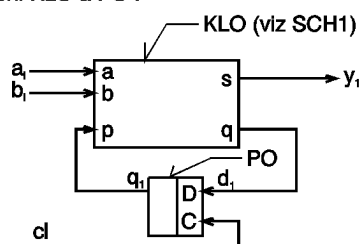
-viz předchozí přednáška (schema SCH1)

ale jiné označení: zde y, místo s

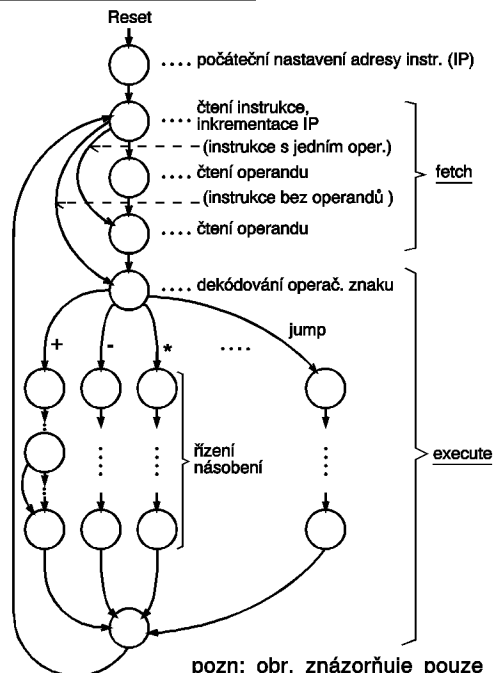
zde d, místo a

zde q_1 místo p

- realizace komb. části (KLO) (viz SCH1 z předešlé přednášky)
- realizace paměť. části (PO) (dle počtu vnitřních proměnných)
- propojení KLO a PO :

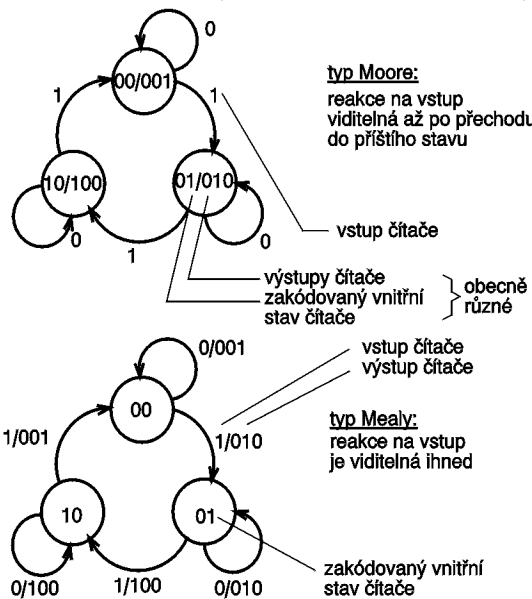


pozn : srovnej intuitivní přístup



pozn: obr. znázorňuje pouze funkci
řadiče, nejsou zde uvedeny
jeho vstupy ani výstupy

2) Čítač mod 3: tři výstupy - 001,010,100 \Rightarrow tři výstupní proměnné
tři vnitřní stavy - 00,01,10 \Rightarrow dva klopné obvody



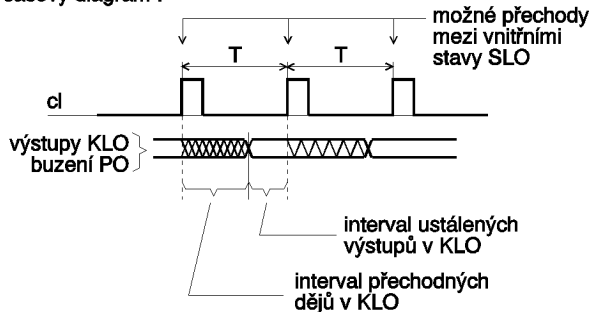
pozn.: Výstup obou čítačů je v kódu 1 ze 3.
Obvykle však bývá kódován dvojkově (00,01,10).
Pak lze v našem případě u typu Moore ztotožnit
vnitřní a výstupní proměnné.

Režimy činnosti SLO

a) synchronní

- citlivost PO je podmíněna existencí hodin. pulsů \Rightarrow přechody mezi vnitřními stavy nastávají v okamžicích hodinových pulsů
- jeden hodin. puls umožňuje pouze jeden přechod mezi vnitř. stavy
- časový diagram :

- časový diagram :



výhoda : jednoduchá implementace - není třeba eliminovat přechodné děje v KLO

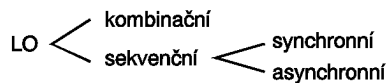
pozn. : minimální hodnota T závisí na celk. zpoždění KLO
a na předstihu PO

b) asynchronní

- hodinové pulsy se nepoužívají \Rightarrow přechody mezi vnitř. stavy nastávají okamžitě po změnách buzení paměťových obvodů PO
- změna buzení paměťových obvodů PO může vyvolat i posloupnost více přechodů mezi vnitřními stavy

výhoda : - okamžitá reakce paměťových obvodů PO,
- není potřeba generátor hodin pulsů

nevýhoda : - velmi složitý návrh vlastního automatu i jeho obvodové implementace \Rightarrow nebudeme se syntézou asynchronních obvodů vůbec zabývat

Rozdělení LO :

Vnitřní struktura paměť. obvodů

- bistabilní klopné obvody

typ RS :

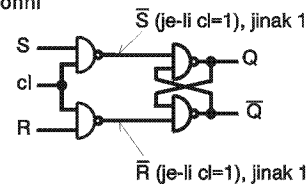
1) asynchronní



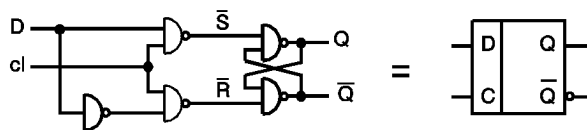
popis chování:

\bar{S}	\bar{R}	Q	\bar{Q}	pozn.:	R	S	Q	\bar{Q}	pozn.:
0	0	1	1	metastab.	0	0	Q	\bar{Q}	paměť
0	1	1	0	zápis 1	0	1	1	0	zápis 1
1	0	0	1	zápis 0	1	0	0	1	zápis 0
1	1	Q	\bar{Q}	paměť	1	1	0	0	metastab.

2) synchronní


typ D: synchronní (hladinový)

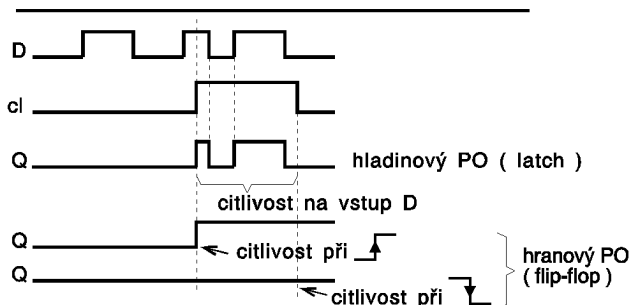
pozn.: asynchr. PO typu D neexistuje



popis chování:

D	Q	\bar{Q}	pozn.:
0	0	1	zápis 0
1	1	0	zápis 1

Odlišnosti v chování hladinových a hranových PO:


**Součástková základna
číslicové techniky**

SSI (small scale integration)..... do 10^2 hradel/čip
MSI (medium scale integration).... 10^2 až 10^3 hradel/čip
LSI (large scale integration)..... 10^3 až 10^4 hradel/čip
VLSI (very LSI) nad 10^4 hradel/čip

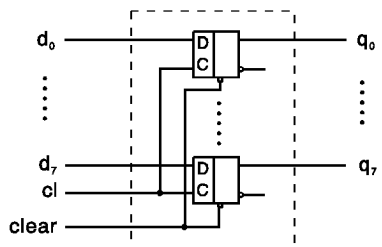
SSI - elementární logické členy:

- and, nand, or, nor, xor
- paměťové obvody D, JK, ...

MSI - často používané univerzální obvody:

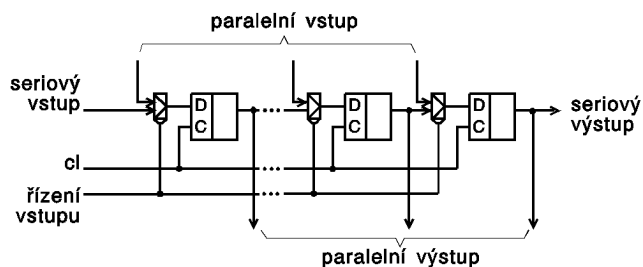
- multiplexory: 2×1 , 4×1 , 2×2 , 16×1 , ...
- čítače: mod2, mod5, mod16
- registry

a) paralelní registry (dočasná paměť)



b) seriové registry (převodníky)

- serioparalelní: seriový vstup
paralelní výstup
- paralelněseriové: paralelní vstup
seriový výstup



LSI a VLSI :

- **speciální:** mikroprocesory
mikroprocesorové řezy
paměti (ROM, PROM, EPROM, RAM, ...)
různé podpůrné obvody
- **universální** (s programovatelnou strukturou)
výhody vzhledem k SSI a MSI:
 - vyšší rychlost
 - vyšší spolehlivost
 - nižší náklady na montáž
 - nižší spotřeba elektr. energie

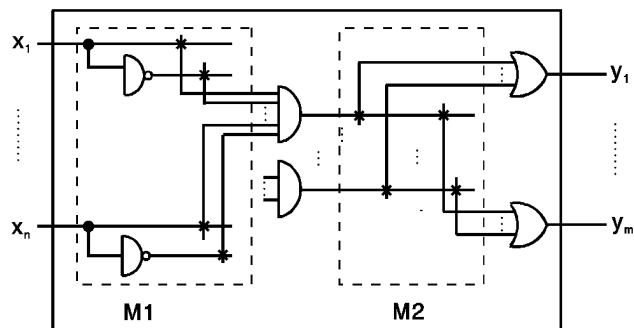
implementace:

- plně zákaznický návrh: veškeré propojení je plně realiz.
již při výrobě \Rightarrow složitá spolupráce výrobní závod
-uživatel
- polozákaznický návrh:
 - výroba - připraví polotovár
 - uživatel - propojení požadované struktury
 - PLA (programmable logic array)
 - PAL (programmable and logic)
 - FPGA (field programmable gate arrays)
 - FPLD (field programmable logic devices)

• technologie spojovacích bodů:

- tavné bipolární pojistky \Rightarrow jednorázové naprogramování
- elektronické spínače řízené:
 - a) transistory CMOS s izolovaným hradlem \Rightarrow vymazání světlem
 - b) bistabilními klopnými obvody \Rightarrow nutnost konfigurace po každém zapnutí elektrické energie programem z pevné paměti (EPROM).
Př. XILINX

Princip PLA:



- x programovatelný spoj
- M1 ... matice součinů
- M2 ... matice součtů

Pozn.: a) matematickým modelem je minimalizovaný logický výraz v součtové formě

- b) pokud M1 je dekodér z bin. kódu do kódu 1 z 2^n \Rightarrow paměť PROM (2^n slov a m bitů)
- c) postupné zdokonalování struktur - doplnění paměťových členů a programovatelných zpětných vazeb: PLS (programmable logic sequencer)